

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Haruo KOJIMA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: LIMITER CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-203928	July 30, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月30日  
Date of Application:

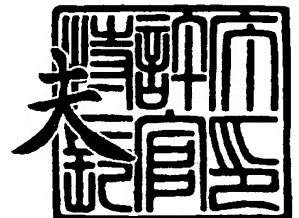
出願番号 特願2003-203928  
Application Number:  
[ST. 10/C]: [JP 2003-203928]

出願人 株式会社東芝  
Applicant(s):

2003年12月16日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3104278

【書類名】 特許願

【整理番号】 4EB0330411

【あて先】 特許庁長官殿

【国際特許分類】 H03G 11/00

【発明の名称】 リミッタ回路

【請求項の数】 2

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
小向工場内

【氏名】 小島 治夫

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 リミッタ回路

【特許請求の範囲】

【請求項 1】 所定の特性インピーダンスを有し信号線側導体と共通線側導体とから成る長さが  $1/4$  波長の伝送線路と、  
この伝送線路の一方の端部において前記信号線側導体と前記共通線側導体との間に終端器を通して接続された第 1 のリミッタ素子と、  
このリミッタ素子と並列に接続された第 1 の DC リターン素子と、  
前記伝送線路の他方の端部において前記信号線側導体と前記共通線側導体との間に接続された第 2 のリミッタ素子と、  
このリミッタ素子と並列に接続された第 2 の DC リターン素子と  
を具備したことを特徴とするリミッタ回路。

【請求項 2】 前記第 1 の DC リターン素子及び第 2 の DC リターン素子は、長さが  $1/4$  波長の高特性インピーダンス線路により構成したことを特徴とする請求項 1 に記載のリミッタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パルスレーダ装置等に用いられるリミッタ回路に関する。

【0002】

【従来の技術】

マイクロ波帯等の高周波帯で用いられるリミッタ回路は、例えばパルスレーダ装置において、レーダアンテナとレーダ受信機との間に配置され、レーダパルス送信時に漏洩する送信信号や近距離の目標から反射されるレーダパルス信号等、過大なレベルの信号が直接レーダ受信機に印加されないようにして、レーダ受信機を保護する回路である。この種のリミッタ回路として、リミッタ素子に PIN ダイオードを用いた事例が開示されている（例えば、特許文献 1 参照。）。この特許文献 1 に開示された事例は、PIN ダイオードの DC リターン用素子にインピーダンス整合機能を持たせて、小信号入力時に高周波領域においても低い挿入

損失を実現している。

#### 【0003】

所望の周波数においてインピーダンス整合がなされた、従来のリミッタ回路の一例を、図2に示す。このリミッタ回路は、PINダイオード11及び12、DCリターン線路13及び14、ならびに、信号線側導体15a及び共通線側導体15bからなる $\lambda/4$  ( $\lambda$ は波長を表わす)の長さの伝送線路15から構成されている。また、信号線側入力端子16a及び共通線側入力端子16bからなる入力端子16、信号線側出力端子17a及び共通線側出力端子17bからなる出力端子17を有している。

#### 【0004】

信号線側入力端子16aと共通線側入力端子16bとの間には、PINダイオード11及びDCリターン線路13が接続されている。ここで、PINダイオード11のアノード電極は信号線側入力端子16aに、カソード電極は共通線側入力端子16bにそれぞれ接続されている。また、信号線側出力端子17aと共通線側出力端子17bとの間には、PINダイオード12及びDCリターン線路14が接続されている。ここで、PINダイオード12のアノード電極は信号線側出力端子17aに、カソード電極は共通線側出力端子17bにそれぞれ接続されている。そして、信号線側入力端子16aと信号線側出力端子17aとの間には、伝送線路15の信号線側導体15aが、また、共通線側入力端子16bと共通線側出力端子17bとの間には、伝送線路15の共通線側導体15bが、それぞれ接続されている。

#### 【0005】

上記した構成の回路において、まず、低レベルの高周波信号が入力端子16に入力されると、2つのPINダイオード11及び12がいずれも非導通状態、また2つのDCリターン線路13及び14は高周波信号に対してはいずれも高インピーダンスを有する。従って、入力された高周波信号は伝送線路15を伝搬してほとんど減衰することなく出力端子17に現れる。

#### 【0006】

一方、高レベルの高周波信号が入力された場合には、PINダイオード11及

び12にはDCリターン線路13及び14を介して整流電流18a及び18bが流れ、これらPINダイオード11及び12はどちらも導通状態になるとともに、伝送線路15は高周波信号に対して高インピーダンスとなる。従って、入力された高周波信号はほとんど反射されて出力端子15にはわずかな高周波信号しか出力されない。

#### 【0007】

このようにして、このリミッタ回路は、後段に接続された例えばレーダ受信機等への過大入力を阻止している。

#### 【0008】

##### 【特許文献1】

特開平5-235677号公報（第3頁、図5）

#### 【0009】

##### 【発明が解決しようとする課題】

しかしながら、上述した従来のリミッタ回路においては、高レベルの高周波信号が入力された場合、この信号は入力端子16から前段に向かって反射される。すなわち、入力端子16におけるリミッタ回路の電圧定在波比が大幅に悪化する。反射された信号は、前段に接続された例えば、アンテナ回路、分配回路、送受信切換回路などの機器に向かってさらに進んでいく。そして、これらの機器内に高レベルのまま混入することによって他の高周波信号系に干渉し、その信号処理動作や信号処理結果等に影響を与えていた。

#### 【0010】

特に、例えばアレイアンテナと組み合わせた複数のレーダ受信機を有する場合には、このリミッタ回路で反射された信号が前段に接続された機器を通して他のレーダ受信機の入力信号に混入して干渉する。その結果、所期のアンテナパターンやアンテナ利得を得ることが困難であった。

#### 【0011】

本発明は、上述の事情を考慮してなされたものであり、高レベルの高周波信号の入力時においても入力信号を前段に接続された機器に反射することなく、入力側の電圧定在波比が良好なりミッタ回路を提供することを目的とする。

## 【0012】

## 【課題を解決するための手段】

上記目的を達成するために、本発明のリミッタ回路は、所定の特性インピーダンスを有し信号線側導体と共通線側導体とから成る長さが $1/4$ 波長の伝送線路と、この伝送線路の一方の端部において前記信号線側導体と前記共通線側導体との間に終端器を通して接続された第1のリミッタ素子と、このリミッタ素子と並列に接続された第1のDCリターン素子と、前記伝送線路の他方の端部において前記信号線側導体と前記共通線側導体との間に接続された第2のリミッタ素子と、このリミッタ素子と並列に接続された第2のDCリターン素子とを具備したことを特徴とする。

## 【0013】

本発明によれば、高レベルの高周波信号の入力時においても入力信号を前段に接続された機器に反射することなく、入力側の電圧定在波比が良好なりミッタ回路を得ることができる。

## 【0014】

## 【発明の実施の形態】

以下に、本発明に係るリミッタ回路の実施の形態を、図1を参照して説明する。

## 【0015】

図1は、本発明に係るリミッタ回路の一実施の形態を示す回路図である。このリミッタ回路は、終端器1、第1のリミッタ素子としてのPINダイオード2、第2のリミッタ素子としてのPINダイオード3、第1のDCリターン素子としてのDCリターン線路4、第2のDCリターン素子としてのDCリターン線路5、及び所定の特性インピーダンスを有する $\lambda/4$ の長さの伝送線路6から構成されている。ここで、伝送線路6は信号線側導体6a及び共通線側導体6bから構成されている。また、入力端子7及び出力端子8を備えている。ここで、入力端子7は、信号線側入力端子7a、及び共通線側入力端子7bから構成され、出力端子8は、信号線側出力端子8a、及び共通線側出力端子8bから構成されている。

## 【0016】

終端器 1 は、信号線側入力端子 7 a と後述する P I N ダイオード 2 のアノード電極との間に接続され、高レベルの高周波信号入力時に入力端子 7 を所定の特性インピーダンスで終端する。P I N ダイオード 2 は、終端器 1 の一端ととの間に接続され、低レベルの高周波信号入力時は非導通状態であるが、高レベル時は導通状態になって終端器 1 の一端を共通線側入力端子 7 b に接続する。本実施の形態においては、P I N ダイオード 2 の極性は、終端器 1 側をアノード電極、共通線側入力端子 7 b 側をカソード電極としている。P I N ダイオード 3 は、信号線側出力端子 8 a と共通線側出力端子 8 b との間に接続され、低レベルの高周波信号入力時は非導通状態であるが、高レベル時は導通状態になって信号線側出力端子 8 a と共通線側出力端子 8 b との間を短絡する。本実施の形態においては、P I N ダイオード 3 の極性は、信号線側出力端子 8 a 側をアノード電極、共通線側出力端子 8 b 側をカソード電極としている。

## 【0017】

D C リターン線路 4 は、P I N ダイオード 2 に並列に接続され、高レベルの高周波信号入力時に P I N ダイオード 2 に流れる整流電流の経路となる。本実施の形態においては、この D C リターン線路 4 は、長さが  $\lambda/4$  の高特性インピーダンス線路により構成され、入力された高周波信号に対しては常に高インピーダンスを有している。D C リターン線路 5 は、P I N ダイオード 3 に並列に接続され、高レベルの高周波信号入力時に P I N ダイオード 3 に流れる整流電流の経路となる。本実施の形態においては、この D C リターン線路 5 も長さが  $\lambda/4$  の高特性インピーダンス線路により構成され、伝送線路 6 を通過する高周波信号に対しては常に高インピーダンスを有している。このように、2 つの D C リターン線路 4 及び D C リターン線路 5 を分布定数線路で構成することにより、高周波領域においても安定した整流電流の経路を形成することができる。

## 【0018】

伝送線路 6 を構成する信号線側導体 6 a は、その一端が信号線側入力端子 7 a に、他端が信号線側出力端子 8 a にそれぞれ接続され、共通線側導体 6 b は、その一端が共通線側入力端子 7 b に、他端が共通線側出力端子 8 b にそれぞれ接続



されている。そして、伝送線路 6 は、低レベルの高周波信号入力時には、所定の特性インピーダンスを有する伝送線路として入力端子 7 に入力された高周波信号を出力端子 8 に伝送する。また、高レベルの高周波信号入力時には、高インピーダンスとなって入力端子 7 と出力端子 8 との間を遮断する。

#### 【0019】

次に、上述のように構成された本実施の形態のリミッタ回路の動作を図 1 を参照して説明する。

#### 【0020】

まず、リミットがかからない低レベルの高周波信号が入力端子 7 から入力された場合、PIN ダイオード 2 は、非導通状態を維持している。このため、入力端子 7 側に接続されている終端器 1 はその一端が開放状態となって機能せず、DC リターン線路 4 も入力された高周波信号に対して高インピーダンスを有している。また、PIN ダイオード 3 も非導通状態を維持しており、DC リターン線路 5 も入力された高周波信号に対して高インピーダンスを有している。従って、入力端子 7 から入力された高周波信号は、伝送線路 6 を伝搬してほとんど減衰することなく出力端子 8 から出力される。このときには、このリミッタ回路は、単に所定の特性インピーダンスを持った伝送線路として動作しているため、入力された高周波信号が前段の機器に向けて反射されることもない。

#### 【0021】

一方、リミットがかかる高レベルの高周波信号が入力端子 7 から入力された場合、PIN ダイオード 2 には DC リターン線路 4 を介して整流電流 9 a が流れ、PIN ダイオード 2 は導通状態となる。このため、終端器 1 が信号線側入力端子 7 a と共通線側入力端子 7 b との間に接続される。また、PIN ダイオード 3 にも DC リターン線路 5 を介して整流電流 9 b が流れ、PIN ダイオード 3 は導通状態となる。

#### 【0022】

このときに、A 点、すなわち伝送線路 6 の入力端子 7 に近い側から出力端子 8 方向を見ると、この伝送線路 6 は、先端が PIN ダイオード 3 により短絡された  $\lambda/4$  の長さの伝送線路となるため、高インピーダンスとなる。従って、A 点と

出力端子 8 との間は高周波的に遮断され、出力端子 8 からは大幅に減衰した高周波信号が出力される。

#### 【0023】

また、B 点、すなわち入力端子 7 から出力端子 8 方向を見ると、終端器 1 と伝送線路 6 が接続されているが、伝送線路 6 は上記したとおり高インピーダンスとなるため、入力端子 7 は、終端器 1 により所定の特性インピーダンスで終端された状態となる。従って、入力端子 7 に入力された高レベルの高周波信号は終端器 1 により終端され、前段の機器への反射が抑えられる。

#### 【0024】

以上説明したように、本実施の形態によるリミッタ回路においては、所定の特性インピーダンスを有する  $\lambda/4$  長の伝送線路 6 の一端を入力端、他端を出力端として、入力端には終端器 1 を通して PIN ダイオード 2 を、また出力端には PIN ダイオード 3 を、それぞれ伝送線路 6 に並列に接続している。これら 2 つの PIN ダイオード 2 及び 3 は、ともに低レベルの高周波信号に対しては非導通状態、高レベルの高周波信号に対しては導通状態となる。

#### 【0025】

これにより、低レベルの高周波信号に対しては、伝送線路 6 を所定の特性インピーダンスを有する伝送線路として動作させ、良好な電圧定在波比を得ることができる。一方、高レベルの高周波信号に対しては、伝送線路 6 を高インピーダンスの線路として動作させることにより、入力された信号を大幅に減衰させて出力するとともに、入力端を終端器 1 で終端して前段の機器への反射を抑え、良好な電圧定在波比を得ることができる。

#### 【0026】

また、PIN ダイオード 2 及び PIN ダイオード 3 にそれぞれ並列に接続された DC リターン線路 4 及び DC リターン線路 5 を、高特性インピーダンスを有する長さが  $\lambda/4$  の分布定数線路により構成している。これにより、PIN ダイオード 2 及び PIN ダイオード 3 が導通状態の時に流れる整流電流の経路を、高周波領域においても周囲との干渉が少ない安定したものとすることができる。

#### 【0027】

なお、本実施の形態においては、PINダイオード2及びPINダイオード3の接続の極性を、いずれも共通線側導体6b側をカソード電極としたが、この極性を入れ替えて共通線側導体6b側をアノード電極としても同様の効果を得ることができる。

#### 【0028】

##### 【発明の効果】

本発明によれば、高レベルの高周波信号が入力されたときも、この入力信号を前段に接続された機器に反射することなく、入力側の電圧定在波比が良好なリミッタ回路を得ることができる。

##### 【図面の簡単な説明】

【図1】 本発明に係るリミッタ回路の一実施の形態を示す回路図。

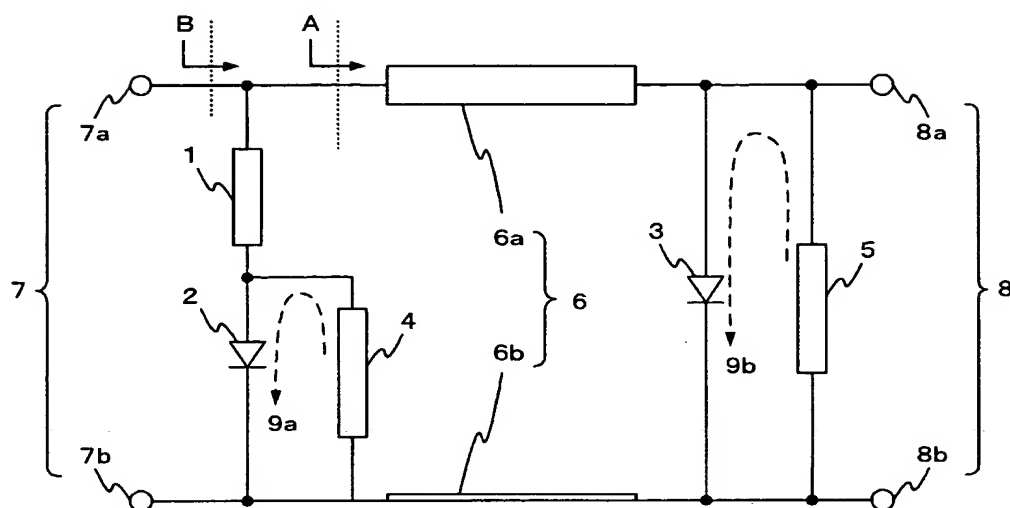
【図2】 従来のリミッタ回路の一例を示す回路図。

##### 【符号の説明】

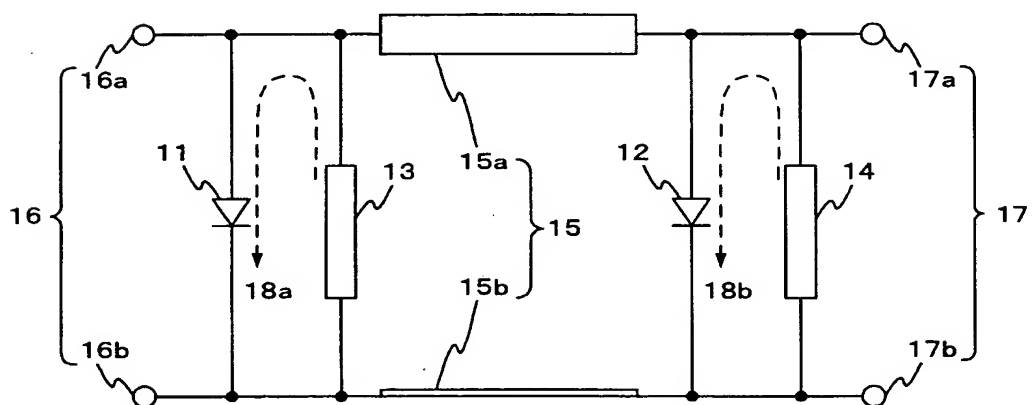
- 1 終端器
- 2、3 PINダイオード
- 4、5 DCリターン線路
- 6 伝送線路
- 7 入力端子
- 8 出力端子

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 高レベルの高周波信号が入力されたときも、この入力信号を前段に接続された機器に反射することなく、入力側の電圧定在波比が良好なりミッタ回路を得る。

【解決手段】 所定の特性インピーダンスを有する  $\lambda/4$  長の伝送線路 6 の一端を入力端、他端を出力端として、入力端には終端器 1 を通して P I N ダイオード 2 を、また出力端には P I N ダイオード 3 を、それぞれ伝送線路 6 に並列に接続する。2つの P I N ダイオード 2 及び 3 は、どちらも高レベルの高周波信号に対しては導通状態となって、伝送線路 6 を高インピーダンスの線路として動作させることにより入力された信号を大幅に減衰させて出力するとともに、入力端を終端器 1 で終端して前段の機器への反射を抑え、良好な電圧定在波比を得る。

【選択図】 図 1



## 認定・付加情報

特許出願の番号	特願 2 0 0 3 - 2 0 3 9 2 8
受付番号	5 0 3 0 1 2 6 4 7 3 3
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 7 月 3 1 日

### < 認定情報・付加情報 >

【提出日】 平成15年 7月30日

特願 2003-203928

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝